

一种新型高速低功耗电平移位电路

王 霞, 周泽坤, 王 卓, 张 波

(电子科技大学 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 设计了一种电平移位电路, 包括快速响应电路和低功耗电平维持电路, 通过快速响应电路的快速响应输入的低电压控制信号, 产生一窄脉冲来驱动输出信号电平的建立; 然后通过低功耗电平维持电路在窄脉冲结束后维持输出信号的电平。该电路适用于新一代功率器件的驱动电路, 具有响应速度快和低功耗的特点, 可以充分发挥新一代功率器件高工作频率和低功耗的优势。基于 HHNEC 0.35 μm 80 V CD 工艺, 对提出的电平移位电路进行仿真验证, 结果表明所设计的电平移位电路响应时间为 2.8 ns 左右, 功耗为 21.5 μA 左右。

关键词: 电平移位; 快速响应; 低功耗

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2015)11-0158-04

A Novel High-Speed and Low Power Level Shifter

WANG Xia, ZHOU Ze-kun, WANG Zhuo, ZHANG Bo

(State Key Laboratory of Electronics Thin Films and Intergration Device, University of
Electronics Science and Technology of China, Chengdu 610054, China)

Abstract: A level shifter circuit, including fast response circuit and low power level sustain circuit, is proposed in this paper. A narrow pulse to drive the output signal level established is generated by quick response of the low voltage input control signal in the fast response circuit. And then the low power level sustain circuit maintains the level of the output signal after the end of a narrow pulse. The circuit is suitable for driving a new generation of power devices, with fast response and low power, can give full play to their advantages of high operating frequency and low power consumption. This circuit is based on the HHNEC 0.35 μm 80 V CD process, the simulation result shows that the level shifter can response within 2.8 ns and has low power consumption with 21.5 μA .

Key words: level shifter; high-speed; low-power

1 引言

电平移位电路用于将低压控制信号转换为高压控制信号, 实现低压逻辑对高压功率输出级的控制, 属于高压器件的控制技术领域, 在开关电源、电机驱动、PDP(Plasma Display Panel)显示等方面得到了广泛的应用^[1]。

随着新一代的功率器件(如: GaN FET, SiC FET, IGBT 等)应用的不断发展, 功率器件的开关频率有了很大提高, 功率器件能量损耗也不断减小。电平移位电路作为连接控制电路与输出驱动级的关

键电路, 发展的趋势也必将快速响应和低功耗。常规的电平移位电路中, 输出级上拉 PMOS 管与下拉 NMOS 管之间同时导通会导致电平移位电路存在功耗、切换时间与传输延迟的问题^[2]。快速响应意味着功耗增大, 现有的电平移位技术不能同时满足快速响应与低功耗, 无法体现和发挥出新型功率器件高频和低能耗特性。

本文设计一种电平移位电路, 适用于新一代功率器件的栅驱动电路, 具有响应速度快和低功耗的特点, 可以充分发挥新一代功率器件高工作频率和低功耗的优势; 对新一代功率器件(如: GaN FET,

收稿日期: 2015-01-15; 修回日期: 2015-03-03

基金项目: 国家自然科学基金(61306035); 中央高校基本科研业务费(ZYGX2013J031)

SiC FET, IGBT 等)的应用起到了推动作用。

2 电路框图与工作原理

本文所提的电平移位电路,由快速响应电路与低功耗电平维持电路构成。

2.1 快速响应电路

快速响应电路的结构框图如图 1 所示^[3], LA 与 LB 为一对逻辑相反的低电源轨控制信号,其中 LA 作为一个外部输入信号, LB 作为另一个外部输入信号, LC、LD 作为输出信号,控制功率管前级的驱动电路。

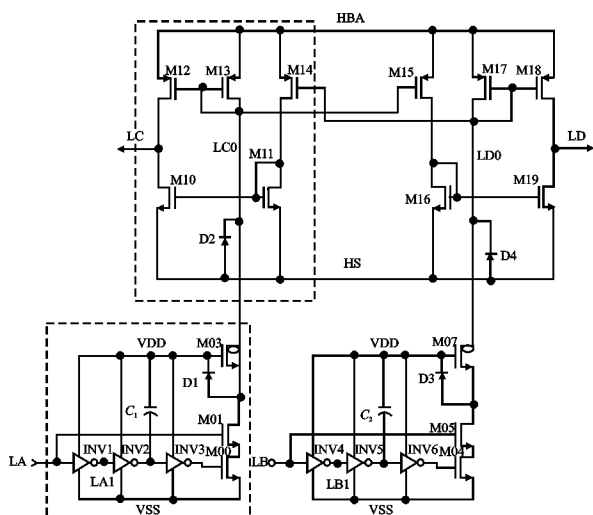


图 1 快速响应电路的结构框图

下面分析图 1 中虚线框内的电路,以说明电路工作原理: LA 为逻辑低电平时, M01 为关断状态, M00 为开启状态。当 LA 从逻辑低电平跳变为逻辑高电平时, M01 瞬间打开, LA 的逻辑高电平状态经过三个反相器的传输延时 Δt 后到达 M00 的栅极为逻辑低电平, 控制 M00 管子的关断, 而在 Δt 时间内 M00 保持为开启状态。由于在 Δt 时间内, M01 已开启, M03 的栅极接 VDD, M03 为常开管, M13 为二极管连接, 所以在 Δt 时间内信号 LC0 被拉低至接近于 HS 电位。由于 LC0 接 M12 的栅极, 所以在 Δt 时间内, 会有较大的电流流过 M12, 将 M12 的漏极即 LC 快速拉高。当 Δt 时间过后, M00 关断, 信号 LC0 被拉高, M13 关断, LC 处于浮空状态, 即高阻态, 逻辑曲线如图 2 所示, 此时整个电路的功耗为零^[4]。

电路中二极管 D1、D2、D3、D4 的作用是防止连接上下电源轨的支路在电源轨切换时超出一定的电

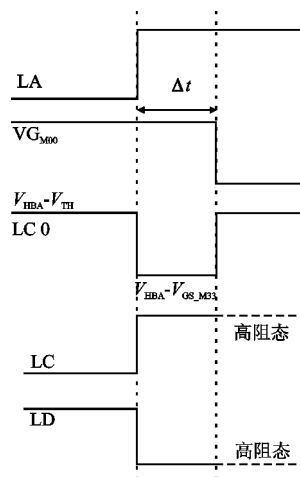


图 2 快速响应电路的逻辑示意图

压范围,造成器件击穿。

2.2 低功耗电平维持电路

低功耗电平维持电路如图 3 所示^[5], 其中 PMOS 管 M34、M35, 电阻 R_1 、 R_2 构成了正反馈结构, R_1 、 R_2 控制正反馈结构的瞬态功耗; PMOS 管 M37、电阻 R_0 、NMOS 管 M38 为该电路的偏置电路, 为输出反相器和正反馈结构的输出提供偏置电流源。信号 LA1 与 LB1 来自快速响应电路, 为一对逻辑相反的信号。

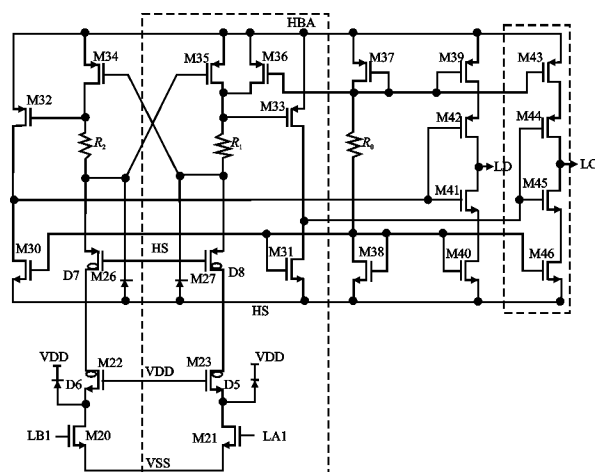


图 3 低功耗电平维持电路图

下面分析图 3 中虚线框内的电路, 以说明电路工作原理: 当信号 LA 从逻辑低电平变为逻辑高电平时, LA1 从逻辑高电平变为逻辑低电平, 关断 M21 管, 即 M21 所在支路被切断, 又 M34、M35、 R_1 和 R_2 正反馈连接, 使 M36 的漏极电位迅速被拉高, 关断 M33 管, M31 的漏极电压被拉低, 打开输出级反相器中的 M44, 维持输出信号 LC 高电平状态, 其

逻辑示意图如图 4 所示.

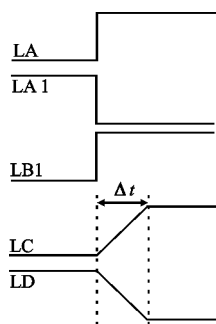


图 4 低功耗电平维持电路的逻辑示意图

电路的功耗来源于 M37、M38 和 R_0 构成的偏置电路. 由于该电路最终仅仅是通过反相器维持快速响应电路的输出, 要求速度较慢, 因此只需要很小的驱动电流, 所以该电路具有低功耗特点. 电路中二极管的作用是防止连接上下电源轨的支路在电源轨切换时超出一定的电压范围, 使得器件击穿.

综上所述, 当输入信号 LA 从逻辑低变高时, 快速响应电路产生的窄脉冲信号 LC0 将输出 LC 快速拉高, 将 LD 快速拉低; 在脉冲宽度时间内, 低功耗电路建立起输出信号 LC 的高电位和 LD 的低电位; 其逻辑示意图如图 5 所示. 在脉冲宽度结束后, 快速响应电路关断, 进入零功耗状态, 仅有低功耗电平维持电路维持输出信号的电位. 通过这种方法可以容易地实现高速、低功耗电平移位功能.

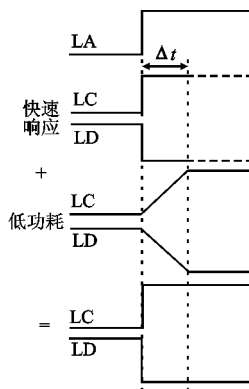


图 5 电平移位电路的逻辑示意图

3 电路仿真与结果分析

本文采用 HHNEC 的 $0.35 \mu\text{m}$ 的 80 V CD 工艺, 使用 H-spice 软件对快速响应电路与低电平维持电路进行了仿真验证.

图 6 所示为快速响应电路的瞬态仿真数据, 其中 LA 信号为 $0 \sim 5 \text{ V}$ 的方波信, 在 25°C 下进行瞬

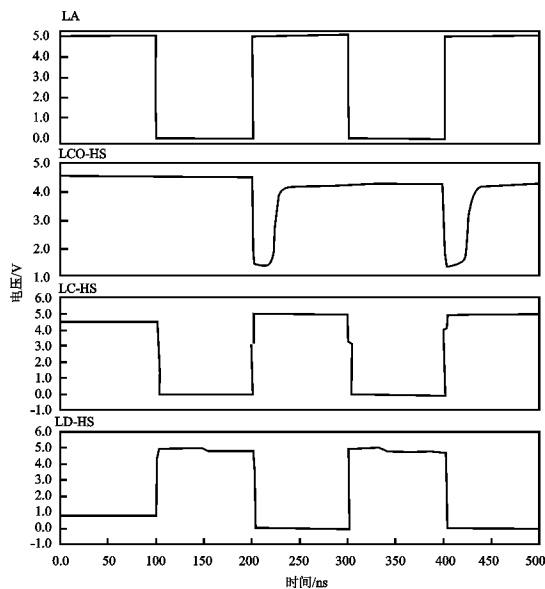


图 6 快速响应电路的仿真结果

态扫描. 可知, 当 LA 信号从低电平跳到高电平时, 快速响应电路产生的窄脉冲信号 LC0, 将输出 LC 快速拉高, 将 LD 快速拉低.

图 7 所示为快速响应电路响应时间的瞬态仿真数据, 从图中可知, 当 LA 从低电平跳至高电平至 LC 响应的时间为 2.77 ns , 验证该电路具有快速响应功能.

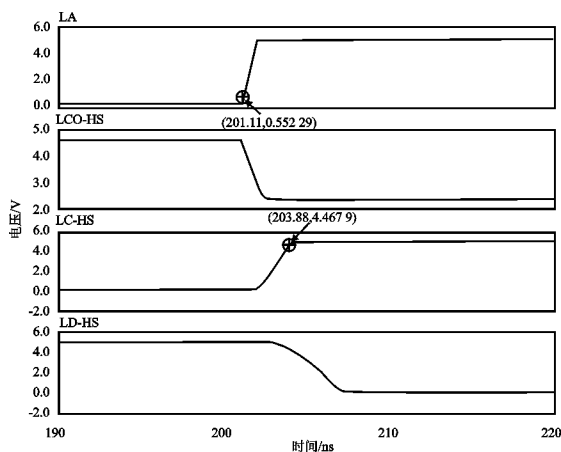


图 7 快速响应电路响应时间的仿真结果

图 8 所示为低功耗电平维持电路的瞬态仿真数据, 其中信号 LA1 与 LA 为互补信号, 在窄脉冲宽度时间内, 低功耗电平维持电路建立起输出信号 LC 的高电位与 LD 的低电位. 在脉冲宽度结束后, 快速响应电路关断, 进入零功耗状态, 仅有低功耗电平维持电路维持输出信号的电位. 通过这种方法可以容易地实现高速、低功耗电平移位功能.

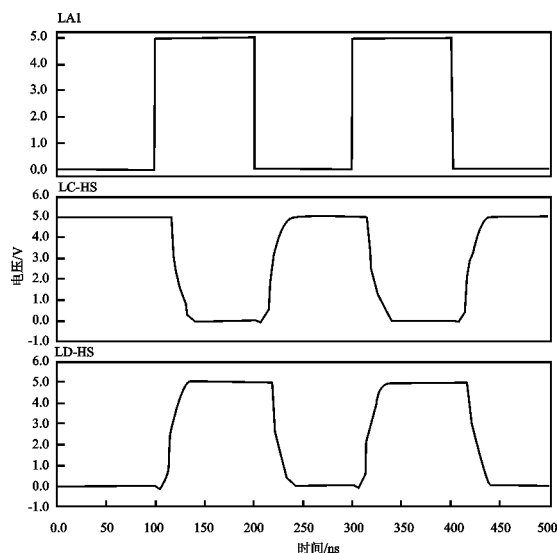


图8 低功耗电平维持电路的仿真结果

图9所示为电平移位电路的功耗仿真结果,本文所设计的电平移位电路总的功耗为 $21.5 \mu\text{A}$ 左右,满足低功耗要求。

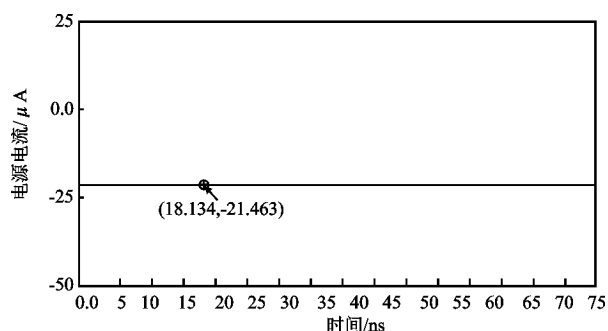


图9 电平移位电路的功耗仿真结果

4 结束语

本文所设计的电平移位电路,包括快速响应电路和低功耗电平维持电路,通过快速响应电路的快速响应输入的低压控制信号,产生一窄脉冲来驱动输出信号电平的建立;然后通过低功耗电平维持电路在窄脉冲结束后维持输出信号的电平。该电路适

用于新一代功率器件的驱动电路中,具有响应速度快和低功耗的特点,可以充分发挥新一代功率器件高工作频率和低功耗的优势。

参考文献:

- [1] Carcia J C, Montiel-Nelson J A, Nooshabadi S. High performance bootstrapped CMOS dual supply level shifter for 0.5V input and 1V output[C]// proceedings of the 12th Euromicro Conference on Digital System Design, Architectures, Methods and Tools, Patres: IEEE, 2009: 311-314.
- [2] Dong-IK Jeon, Kwang-Soo Han, Ki-Seok Chung. Novel level - up shifters for high performance and low power mobile devices[C]// Proceedings of the IEEE International Conference on Consumer Electronics, Las Vegas, NV: IEEE, 2013: 181-182.
- [3] Wittmann J, Rosahl T, Wicht B. A 50V high-speed level shifter with high dv/dt immunity for multi-MHz DCDC converters[C]// proceedings of the 40th European Solid State Circuits Conference (ESSCIRC), Venice Lido: IEEE, 2014: 151-154.
- [4] Peijun Liu, Xueqiang Wang. A novel high-speed and low-power negative voltage level shifter for low voltage applications[C]// Proceedings of the 2010 IEEE International Symposium on Circuits and Systems (ISCAS). Paris: IEEE, 2010: 601-604.
- [5] Moghe Y, Lehmann T, Piessens T. Nanosecond delay floating high voltage level shifters in a 0.35 μm HV-CMOS Technology[J]. Solid-State Circuits, IEEE, 2011, 46(2): 485-497.

作者简介:

王霞女, (1989-), 硕士研究生. 研究方向为模拟集成电路与智能功率集成电路. E-mail: wxuestc@163.com.

张波男, (1964-), 教授, 博士生导师. 研究方向为功率半导体技术、电源管理集成电路及专用集成电路.